

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-321750

(43)Date of publication of application : 04.12.1998

(51)Int.Cl.

H01L 23/12

(21)Application number : 09-126762

(71)Applicant : CITIZEN WATCH CO LTD

(22)Date of filing : 16.05.1997

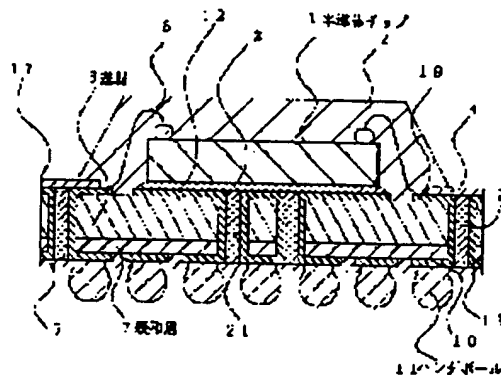
(72)Inventor : KOMURA ATSUSHI

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF WIRING BOARD HAVING SEMICONDUCTOR CHIP MOUNTED THEREON

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To enable suppression of stresses to a connection part caused by connecting a semiconductor chip to an external wiring board, even when a volume of projected terminals of a semiconductor device is decreased with an increased number of output terminals of the semiconductor chip, to thereby secure a connection reliability.

**SOLUTION:** A wiring board 17 is provided on its solder ball mounting side with a base material 6, made of a BT resin glass cloth or an epoxy resin glass cloth. Formed on the base material is a buffer layer 7 having an elastic modulus of 0.5-5 kgf/mm<sup>2</sup>. Formed on the buffer layer is a pad electrode 10, on which wiring and solder balls 11 are formed. The solder balls 11 are made of a composition with Sn and Pb in an Sn/Pb ratio of 6:4.



### LEGAL STATUS

[Date of request for examination] 19.04.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3795628

[Date of registration] 21.04.2006

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-321750

(43) 公開日 平成10年(1998)12月4日

(51) IntCl.<sup>8</sup>

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

L

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号

特願平9-126762

(22) 出願日

平成9年(1997)5月16日

(71) 出願人 000001960

シチズン時計株式会社

東京都新宿区西新宿2丁目1番1号

(72) 発明者 小村 敦

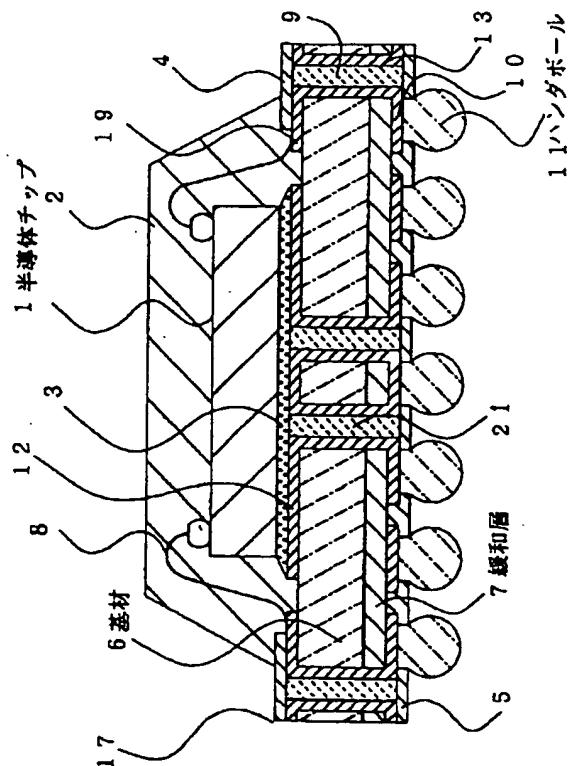
埼玉県所沢市大字下富字武野840番地 シ  
チズン時計株式会社技術研究所内

(54) 【発明の名称】 半導体装置および半導体チップを搭載する配線基板の製造方法

## (57) 【要約】

【 과제 】 반도체 칩(chip)의 출력단자의 증가에 수반하고, 반도체 장치의 돌기 단자의 체적이 작아져도, 외부의 배선 기판과 접속한 것에 의해 발생하는 접속부에서의 응력을 완화하고 접속 신뢰성을 손상시키지 않다.

【 해결 수단 】 배선 기판 17의 납땜 공(ball) 탑재측에는, BT 수지 유리천이나 에폭시(epoxy) 수지 유리천 등의 기재 6상에 탄성률이 0.5~5kgf/mm<sup>2</sup>의 완화층 7을 형성하고, 그 위에 배선이나 납땜 공(ball) 11을 탑재하는 패드(pad) 전극 10을 형성하고 있다. 또한, 배선 기판 17의 패드(pad) 전극 10에는, Sn과 Pb과의 비율이 6:4의 조성의 납땜 납땜 공(ball) 11을 형성하고 있는 반도체 장치 및 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법.



【특허청구의 범위】

【청구항 1】 회로 형성 면에 형성한 외부 인출용의 전극을 갖는 반도체 칩(chip)과, 반도체 칩(chip)을 탑재하는 측에는 반도체 칩(chip)의 전극과 전기적 접속을 행하기 위한 전극이나 배선을 배치하고, 외부의 배선 기판과 전기적인 접속을 행하는 측에 기재의 위에 기재보다도 탄성률이 낮은 재료를 사용한 완충층을 형성하고, 그 위에 배선이나 외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극을 형성한 배선 기판과, 외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극상에는 납땜으로 형성한 돌기 단자와, 적어도 반도체 칩(chip)과 전기적 접속한 접속부를 포함 수지로 덮이고 있는 것을 특징으로 하는 반도체 칩(chip)을 배선 기판에 페이스 향상(face up)으로 탑재하는 반도체장치.

【청구항 2】 회로 형성 면에 형성한 외부 인출용의 전극에 돌기 전극을 갖는 반도체 칩(chip)과, 외부의 배선 기판과 전기적인 접속을 행하는 측만 또는 반도체 칩(chip)을 탑재하는 측과 외부의 배선 기판과 전기적인 접속을 행하는 측의 양쪽에 기재의 위에 기재보다도 탄성 계수가 큰 재료를 사용한 완화층을 형성하고 그 위에 반도체 칩(chip)을 탑재하는 측에는 반도체 칩(chip)의 돌기 전극과 전기적 접속을 행하기 위한 전극과 배선층을 배치하고, 외부의 배선 기판과 전기적인 접속을 행하는 측에는 외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극이나 배선을 형성한 배선 기판과, 외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극상에는 납땜으로 형성한 돌기 단자와, 반도체 칩(chip)과 배선 기판과의 사이 틈에 포장 수지를 주입한 것을 특징으로 하는 반도체 칩(chip)을 배선 기판에 페이스 떨어지다(face down)로 탑재하는 반도체 장치.

【청구항 3】 배선 기판의 반도체 칩(chip)을 탑재하는 측의 전극에는, 납땜 층을 형성하고 있는 것을 특징으로 하는 청구항 2 기재의 반도체 장치.

【청구항 4】 기재의 편면 또는 양면에 기재보다도 탄성 계수가 큰 재료를 사용한 완화층을 형성하는 공정과, 기재에 완화층을 형성한 기판에 이것들을 관통하는 스루홀(through hole)을 형성하는 공정과, 스루홀(through hole)을 포함하고 배선을 형성하는 공정과, 반도체 칩(chip)의 전극과 전기적 접속을 행하기 위한 전극과 외부의 배선 기판과 전기적인 접속을 행하기 위한 패드(pad) 전극을 형성하는 공정과, 반도체 칩(chip)의 전극과 전기적 접속을 행하기 위한 전극만 남땀 층을 형성하는 공정을 갖는 것을 특징으로 하는 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법.

【발명의 상세한 설명】

【0001】

【발명이 속하는 기술 분야】 본 발명은, 반도체 칩(chip)을 배선 기판에 탑재하고 반도체 칩(chip)과 배선 기판을 전기적인 접속을 행하고, 그 접속부를 덮도록 수지로 포장하고, 배선 기판상에 외부의 배선 기판과 접속을 행하기 위한 납땜 돌기 단자를 설치한 반도체장치의 구조와, 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법에 관한다.

【0002】

【종래의 기술】 근래,반도체장치의 고기능화에 따라 반도체장치의 외부 단자의 수는 증대한다 경향에 있고,측면에 외부 단자를 설치하고 있는 QFP과 같은 반도체장치는 외부 단자의 단자 피치(pitch)를 좁게 했다고 해도,외형 사이즈(size)가 커져 버리는 경향에 있다.이것에 대하여,BGA 또는 CSP과 같은 전극 단자를 어레이(array)상에 배치할 수 있는 반도체장치는,외부 단자의 증가를 할 수 있고,또한 QFP보다도 소형 사이즈(size)를 작게 하는 것이 가능하다.이와 같은 반도체장치의 예로서는 배선 기판을 사용한 반도체장치로서,예를 들면 특개평 6-34173호 공보나,배선 기판을 사용하지 않은 반도체장치로서 특개평 2-49460호 공보를 들 수 있다.

【0003】 배선 기판을 사용한 전극 단자를 어레이(array)상에 형성한 반도체장치의 구조에 관해서도 23을 이용하고 설명한다.그림 23은,전술의 특개평 6-349973호 공보에 개시되는 반도체장치를 나타내는 단면도이다.

【0004】 반도체 칩(chip) 120상에는 합금계의 돌기 전극 122가 형성 되어 있다.배선 기판 126에는 반도체 칩(chip) 120의 돌기 전극 122의 개치에 대응하도록 형성 되는 전극 123이 형성되고,다른 면에는 외부의 배선 기판과가 접속하도록 패드(pad) 전극 124가 형성 되어 있다.반도체 칩(chip) 120과 배선 기판 126이란,반도체 칩(chip) 120에 형성한 돌기 전극 122로 전기적 접속을 행하고,반도체 칩(chip) 120을 덮도록 수지 121으로 포장 되어 있다.배선 기판 126의 다른 면의 패드(pad) 전극상에는 합금계의 돌기 단자 125가 형성 되어 있다.

【0005】 배선 기판을 사용하지 않은 전극 단자를 어레이(array)상에 형성한 반도체장치의 구조에 관해서,그림 24를 이용하고 설명한다.그림 4는 전술의 특개평 2-49460호 공보에 개시되는 반도체장치를 나타내는 단면도이다.

【0006】 반도체 칩(chip) 130의 주 표면상에는 전극 131이 형성 되어 있고,이 전극은 외부의 배선 기판과의 접속하기 위한 돌기 단자 135의 일부로 하고 기능하고 있다.전극 131의 일부 표면이 노출시키도록,반도체 칩(chip) 130의 표면에 패시베이션 막이 형성 되어 있다.전극 131의 일부 표면상에 외부의 배선 기판과의 접속하기 위한 돌기 단자 135가 형성 되어 있다.이 돌기 단자 135의 일부를 노출시키고,또한 반도체 칩(chip) 전체를 덮도록 수지 132로 포장 되어 있다.

【0007】

【발명이 해결하려고 하는 과제】 그렇지만,반도체 칩(chip)의 출력단자가 증가한다면,배열상에 형성하고 있는 돌기 단자의 간격을 좁히지 않으면 안되게 되고,이것에 따라 돌기 단자의 체적이 작아져 버린다.이것에 따라 배선 기판 또는 반도체장치에 직접 돌기 단자에 형성한 전술과 같은 반도체장치에서는,외부의 배선 기판과 접속 한 때,외부의 배선 기판과 반도체장치와의 사이격이 좁아지고,또한 온도 사이클(cycle) 시험 등의 환경 시험에 투자하는 것에 의해 발생하는 접속부에서의 응력이 증대하고,반도체장치의 열 피로 수명이 저하되어 버린다.접속 불량고 있던 반도체장치는 돌기 단자의 근본에서 파단을 일으키고 있다.

【0008】 또,그림 23에 나타낼 것 같은 반도체 칩(chip)을 배선 기판에 페이스 떨어지다(face down)로 탑재하는 반도체장치의 구조에 있어서는,반도체 칩(chip)과 배선 기판에 전기적인 접속을 반도체 칩(chip)에 형성한 합금계의 돌기 전극으로 행하기 때문에,전술처럼 반도체 칩(chip)의 출력단자가 증가한다면,돌기 전극의 간격도 좁히지 않으면 안되게 되고,따라서 돌기 전극의 체적이 작아져 버린다.이것에 따라 반도체 칩(chip)을 배선 기판에 탑재한 때,반도체 칩(chip)과 배선 기판과의 사이격이 좁아지고,반도체장치를 단체로 온도 사이클(cycle) 시험 등의 환경 시험에 투자하는 것에 의해 발생하는 접속 한 돌기 전극에서의 응력이 증대하고,반도체 칩(chip)이 접속한 돌기 전극의 열 피로 수명이 저하되어 버린다.

【0009】 【발명의 목적】 본 발명의 제1의 목적은,전술의 과제를 해결하고,반도체 칩(chip)의 출력단자의 증가에 수반하고 돌기 단자의 체적이 작아져도,외부의 배선 기판과가 접속한 것에 의해 발생하는 접속부에서의 응력을 완화하고 접속 신뢰성을 손상시키지 않은 반도체장치 및 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법을 제공하는 것에 있다.

【0010】 본 발명의 또 1개의 목적은,반도체 칩(chip)을 배선 기판에 페이스 떨어지다(face down)로 탑재하는 반도체장치의 구조에 있어서,전술의 목적으로 더하고 반도체 칩(chip)의 출력단자의 증가에 수반하고 돌기 전극의 체적이 작아져도,배선 기판과가 접속한 것에 의해 발생하는 돌기 전극에서의 응력을 완화하고 접속 신뢰성을 손상시키지 않은 반도체장치 및 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법을 제공하는 것에 있다.

【0011】

【과제를 해결하기 위한 수단】 전술한 목적을 달성하기 위해(때문에),본 발명의 반도체장치의 구조 및 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법은,하기 기재의 수단을 채용한다.

【0012】 본 발명의 반도체장치는,반도체장치 회로 형성 면에 형성한 외부 인출용의 전극을 갖는 반도체 칩(chip)과,반도체 칩(chip)을 탑재하는 측에는 반도체 칩(chip)의 전극과 전기적 접속을 행하기 위한 전극이나 배선을 배치하고,외부의 배선 기판과 전기적인 접속을 행하는 측에 기재의 위에 기재보다도 탄성 계수가 큰 재료를 사용한 완충층을 형성하고,그 위에 배선이나 외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극을 형성한 배선 기판과,외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극상에는 납땜으로 형성한 돌기 단자와,적어도 반도체 칩(chip)과 전기적 접속한 접속부를 포함 수지로 덮이고 있는 반도체 칩(chip)을 배선 기판에 페이스 향상(face up)으로 탑재한 구조를 특징으로 한 것이다.

【0013】 본 발명의 반도체장치는, 회로 형성 면에 형성한 외부 인출용의 전극에 돌기 전극을 갖는 반도체 칩(chip)과, 외부의 배선 기판과 전기적인 접속을 행하는 측만 또는 반도체 칩(chip)을 탑재하는 측과 외부의 배선 기판과 전기적인 접속을 행하는 측의 양쪽에 기재의 위에 기재보다도 탄성 계수가 큰 재료를 사용한 완화층을 형성한다. 반도체 칩(chip)을 탑재하는 측에는 반도체 칩(chip)의 돌기 전극과 전기적 접속을 행하기 위한 전극과 배선을 배치하고, 외부의 배선 기판과 전기적인 접속을 행하는 측에는 외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극이나 배선을 형성한 배선 기판과, 외부의 배선 기판과 전기적 접속을 행하는 패드(pad) 전극상에는 납땜으로 형성한 돌기 단자와, 반도체 칩(chip)과 배선 기판과의 사이 틈에 포장 수지를 주입한 반도체 칩(chip)을 배선 기판에 페이스 떨어지다(face down)로 탑재한 구조를 특징으로 한다. 또한, 반도체 칩(chip)을 탑재하는 측의 전극에는 납땜 층을 형성하고 있다고 한다.

【0014】 본 발명의 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법은, 기재의 편면 또는 양면에 기재보다도 탄성 계수가 큰 재료를 사용한 완화층을 형성하는 공정과, 기재에 완화층을 형성한 기판에 이것들을 관통하는 스루홀(through hole)을 형성하는 공정과, 스루홀(through hole)을 포함하고 배선을 형성하는 공정, 반도체 칩(chip)의 전극과 전기적 접속을 행하기 위한 전극과 외부의 배선 기판과 전기적인 접속을 행하기 위한 패드(pad) 전극을 형성하는 공정, 반도체 칩(chip)의 전극과 전기적 접속을 행하기 위한 전극만 납땜 층을 형성하는 공정을 가지는 것을 특징으로 한다.

【0015】

【발명의 실시 형태】 이하, 도면을 이용하고 본 발명의 반도체장치 및 반도체 칩(chip)을 탑재하는 배선 기판의 제조 방법에 있어서 최적의 실시 형태의 설명을 행한다. 우선 시작 본 발명의 반도체장치의 구조를 설명한다.

【0016】 [제1의 실시 형태의 반도체장치의 구조 설명: 그림 1~그림 5] 본 발명에 있어서 제1의 실시 형태의 반도체장치의 구조의 실시 형태에 관해서, 그림 1~그림 5를 이용하고 설명한다. 그림 1은 본 발명의 반도체장치의 구조에 있어서 반도체장치의 단면도이고, 그림 2는 반도체 칩(chip) 1의 전극 16측부터 보는 평면도이고, 그림 3은 반도체 칩(chip) 1의 단면도이고, 그림 4는 배선 기판 17의 반도체 칩(chip) 1 탑재측부터 보는 평면도이고, 그림 5는 배선 기판 17의 단면도이다.

【0017】 반도체 칩(chip) 1은 그림 2, 그림 3을 이용하고 설명한다. 실리콘(silicon) 기판 14상에 전자 회로를 형성하고, 그 회로의 외부 단자로서 Si 또는 Au 등으로 전극 16이 형성되어 있다. 전극 16의 재료 또는 표면 처리에 관해서는 배선 기판 17을 와이어(wire) 8으로 결선하는 때의 와이어(wire) 8의 재료나 본다비리티를 고려하고 선택한다. 반도체 칩(chip) 1의 전극 16 이외의 부분은 질화 실리콘(silicon)막 등의 무기막이나 전술의 무기막에 또한 그 위에 폴리이미드(polyimide) 등의 유기막에 의한 보호 막 15로 덮이고, 외부란 전기적으로 절연되어 있다.

【0018】 배선 기판 17에 관해서는 그림 4, 그림 5를 이용하고 설명한다. 배선 기판 17의 반도체 칩(chip) 1의 이면을 탑재하는 에어리어(area) 18에는 다이아몬드 터치 패턴(diamond touch pattern) 12가 형성되어 있고, 반도체 칩(chip) 1을 탑재한 때의 전원 그라운드(ground) 및 반도체 칩(chip) 1으로부터 발생하는 열을 방열하는 역할을 겸하고 있다. 다이아몬드 터치 패턴(diamond touch pattern) 12내에는 복수의 서멀 비어홀(thermal beer hall) 21을 형성하고 있다. 서멀 비어홀(thermal beer hall) 21은 반도체 칩(chip) 1보다(부터) 발생한 열을 배선 기판 17의 납땜 공(ball) 면에 놓아주는 역할과 다이아몬드 터치 패턴(diamond touch pattern) 12와 배선 기판 17의 패드(pad) 전극 10을 전기적으로 접속하는 것을 겸하고 있다. 또 서멀 비어홀(thermal beer hall) 21이나 타의 스루홀(through hole) 13내에는 에폭시(epoxy) 수지 9가 메워지고 있고, 배선 기판 17의 납땜 공(ball) 11 탑재측부터 반도체 칩(chip) 1 탑재측에의 수분의 침입을 억제할 수 있다.

【0019】 전극 19는, 반도체 칩(chip) 1의 전극 16을 와이어(wire) 8으로 결선하기 위한 전극으로, Cu상에 Au/Ni 도금을 행하고 있다. 와이어(wire) 8의 본다비리티를 고려하고, Ni 층의 두께가 3미크론 m~15미크론 m, Au 층의 두께가 0.3미크론 m~1미크론 m으로 형성하고 있다.

【0020】 배선 기판 17의 반도체 칩(chip) 1을 탑재하는 측은, 전술의 다이아몬드 터치 패턴(diamond touch pattern) 12, 전극 19 이외 부분은 솔더(solder)-레지스트(regist) 4로 덮인다.

【0021】 배선 기판 17의 납땜 공(ball) 탑재측은 BT 수지 유리천이나 에폭시(epoxy) 수지 유리천 등의 기재 6상에 탄성률이 0.5~5kgf/mm<sup>2</sup>의 완화층 7을 형성하고, 그 위에 배선이나 납땜 공(ball) 11을 탑재하는 패드(pad) 전극 10을 형성하고 있다.

【0022】 패드(pad) 전극 10은 납땜 공(ball) 11을 탑재하는 때에 납땜 공(ball) 11이 패드(pad) 전극 10에 대하여 납땜이 충분히 젖고, 또한 충분한 밀착 강도를 확보하기 위해(때문에), Cu상에 Au/Ni 도금을 행하고 있다. 각각 금속층의 두께는, Ni 층의 두께가 3미크론 m~5미크론 m, Au 층의 두께를 0.02미크론 m~0.05미크론 m으로 형성하고 있다.

【0023】 배선 기판 17의 납땜 공(ball) 11을 탑재하는 측은 전술의 패드(pad) 전극 10 이외 부분은 솔더(solder)-레지스트(regist) 5로 덮인다.

【0024】 반도체장치에 관해서는 전술의 반도체 칩(chip) 1, 배선 기판 17을 포함시키고 그림 1을 이용하고 설명한다. 반도체 칩(chip) 1은 배선 기판 17상의 다이아몬드 터치 패턴(diamond touch pattern) 12상에 접착제 3을 이용하고 고정하고 있다. 접착제 3은 에폭시(epoxy) 수지에 A g의 필러(filler)를 함유하고 있기 때문에, 반도체 칩(chip) 1을 다이아몬드 터치 패턴(diamond touch pattern) 12상에 탑재한 때의 전원 그라운드(ground)에의 전기적 접속 및 반도체 칩(chip) 1으로부터 발생하는 열을 다이아몬드 터치 패턴(diamond touch pattern) 12에 방열할 수 있다.

【0025】 반도체 칩(chip) 1상의 각전극 16과 배선 기판 17상의 전극 19와의 전기적 접속은 Au의 와이어(wire) 8으로 행해지고 있다. Au의 와이어(wire) 지름은 0.03mm~0.05mm 정도의 와이어(wire)를 사용하고 있다. 전극 19와 패드(pad) 전극 10과는 스루홀(through hole)을 이용

【0026】반도체 칩(chip) 1,와이어(wire) 8 및 배선 기판 17의 전극 19는,차폐와 보호를 위해 포장 수지 2로 포장하고 있다.포장 수지 2에는 불강화성의 에폭시(epoxy)계 수지를 사용하고 있다.

【0027】또한,배선 기판 17의 패드(pad) 전극 10에는,납땜 공(ball) 11을 형성하고 있다.이 납땜 공(ball) 11에는,.Sn과 Pb과의 비율이 6:4의 조성의 납땜을 이용하고 있다.이 납땜 공(ball) 11을 이용하고 이 반도체장치와 외부의 배선 기판과의 전기적 접속을 행하고 있다.

【0028】〔제2의 실시 형태의 반도체장치의 구조 설명:그림 6~그림 10〕 다음에,이상의 설명과 구별의 제2의 실시 형태의 실시 형태에 있어서 본 발명의 반도체장치의 구성의 설명을 행한다.본 발명의 제2의 실시 형태의 실시 형태에 있어서 본 발명의 반도체장치의 구성에 관해서는 그림 6으로부터 그림 10을 이용하고 구조를 설명한다.그림 6은 본 발명의 실시 형태에 있어서 반도체장치의 단면도이고,그림 7은 반도체 칩(chip) 30의 돌기 전극 33측부터 보는 평면도이고,그림 8은 반도체 칩(chip) 30의 단면도이고,그림 9는 배선 기판 39의 반도체 칩(chip) 30 탑재측부터 보는 평면도이고,그림 10은 배선 기판 39의 단면도이다.

【0029】반도체 칩(chip) 30은 그림 7과 그림 8을 이용하고 설명한다.실리콘(silicon) 기판 45상에 전자 회로를 형성하고,그 회로의 외부 단자로서 Si 등으로 전극 46이 형성 되어 있다.전극 46의 위에 배선 기판 39의 전극 47과의 전기적 접속을 행하기 위해(때문에) Cu 또는 Au의 돌기 전극 33을 형성하고 있다.

【0030】Al의 전극 46상에 Cu 또는 Au의 돌기 전극 33 형성하기 위해(때문에) 배리어 메탈(barrier metal) 층 43을 증착법이나 스퍼터링(sputtering)법을 이용하고 형성한 후에,그 위에 Cu 또는 Au의 돌기 전극 33을 도금에 따라서 형성한다.배리어 메탈(barrier metal) 층 43은 전극 46과 돌기 전극 33의 각각의 금속의 상호 확산을 방지하기 위해(때문에) 형성하고 있다.

【0031】반도체 칩(chip) 30의 전극 46 이외의 부분은,질화 실리콘(silicon)막등의 무기막이나 전술의 무기막에 또한 그 위에 폴리이미드(polyimide) 등의 유기막에 의한 보호 막 44로 덮이고,외부란 전기적으로 절연 되어 있다.

【0032】배선 기판 39에 관해서는 그림 9와 그림 10을 이용하고 설명한다.배선 기판 39의 반도체 칩(chip) 30 탑재측 및 납땜 공(ball) 41 탑재측의 양측에는,BT 수지 유리천이나 에폭시(epoxy) 수지 유리천 등의 기재 37상에 탄성률이  $0.5 \sim 5 \text{ kgf/mm}^2$ 의 완화층 35를 형성하고,그 위에 배선,전극 47 및 납땜 공(ball) 41을 탑재하는 패드(pad) 전극 52를 형성하고 있다.돌기 전극 33에 사용하는 금속의 탄성률은 Cu이  $130 \times 10^5 \text{ kgf/mm}^2$ 로,Au이  $78 \times 10^4 \text{ kgf/mm}^2$ 과 납땜이  $32 \times 10^4 \text{ kgf/mm}^2$ 에 비교하고 확실한 재료인 것으로,반도체 칩(chip) 30과 배선 기판의 선팽창 계수의 차이에 의해 발생하는 응력이 돌기 전극 33의 근본에 집중시키기 때문에 이것을 완화하기 위해(때문에),배선 기판 39의 반도체 칩(chip) 30 탑재측에도 완화층 35를 형성하고 있다.

【0033】배선 기판 39의 전극 47은 반도체 칩(chip) 30에 형성하고 있는 돌기 전극 33의 배치에 대응하도록 형성하고 있다.스루홀(through hole)내 40에는 에폭시(epoxy) 수지 42가 메워지고 있고,배선 기판 39의 납땜 공(ball) 41 탑재측부터 반도체 칩(chip) 30 탑재측에의 수분의 침입을 억제할 수 있다.

【0034】전극 47은 반도체 칩(chip) 30의 돌기 전극 33을 전기적으로 접속하기 위해(때문에),전극 47의 Cu상에 납땜 층 48을 행하고 있다.0 납땜 층 48에는,.Sn과 Pb과의 비율이 6:4의 조성의 납땜을 이용하고 있다.이 납땜 층 48을 용융하고,반도체 칩(chip) 30의 돌기 전극 33과 접속을 행하고 있다.납땜 층의 두께는 200미크론 m~500미크론 m 정도로 형성하고 있다.

【0035】배선 기판 39의 반도체 칩(chip) 30을 탑재하는 측은,전술의 전극 47 이외 부분은 솔더(solder)-레지스트(regist) 34로 덮이다 .

【0036】납땜 공(ball) 41 탑재측의 패드(pad) 전극 52는 납땜 공(ball) 41을 탑재하는 때에 납땜 공(ball) 41이 패드(pad) 전극 52에 대하여 납땜이 충분히 젖고,또한 충분한 밀착 강도를 확보하기 위해(때문에),Cu상에 Au/Ni 도금을 행하고 있다.각금속층의 두께는 Ni 층의 두께가 3~5 미크론 m,Au 층의 두께는 0.02미크론 m~0.05미크론 m으로 형성하고 있다.

【0037】배선 기판 39의 납땜 공(ball) 41을 탑재하는 측은,전술의 패드(pad) 전극 52 이외 부분은 솔더(solder)-레지스트(regist) 34로 덮이다 .

【0038】반도체장치에 관해서는 전술의 반도체 칩(chip) 30,배선 기판 39를 포함시키고 그림 6을 이용하고 설명한다.반도체 칩(chip) 1상의 각돌기 전극 33과 배선 기판 39상의 전극 47과의 전기적 접속은 전극 47상에 형성한 납땜 층 48을 용융하고,돌기 전극 33과 전극 47과가 접속한다.전극 47과 패드(pad) 전극 52와는 스루홀(through hole)을 이용하고 전기적으로 접속하고 있다.

【0039】반도체 칩(chip) 30과 배선 기판 39와 동안에는,접속부의 신뢰성 향상 및 반도체 칩(chip) 30 및 배선 기판 39에 형성 되어 있는 회로의 보호를 위해 포장 수지 32로 포장하고 있다.포장 수지 32에는 열강화성의 에폭시(epoxy)계 수지를 사용하고 있다.

【0040】또한,배선 기판 39의 패드(pad) 전극 52에는,납땜 공(ball) 41을 형성하고 있다.이 납땜 공(ball) 41에는,.Sn과 Pb과의 비율이 6:4의 조성의 납땜을 이용하고 있다.이 납땜 공(ball) 41을 이용하고 이 반도체장치와 외부의 배선 기판과의 전기적 접속을 행하고 있다.

【0041】〔제3의 실시 형태의 반도체장치의 구조 설명:그림 11~그림 15〕 다음에,또한 구별의 제3의 실시 형태의 실시 형태에 있어서 본 발명에 있어서 반도체장치의 구성의 설명을 행한다.본 발명의 제3의 실시 형태의 실시 형태에 관해서는,그림 11~그림 15를 이용하고 구조를 설명한다.그림 11은 본 발명의 실시 형태에 있어서 반도체장치의 단면도이고,그림 12는 반도체 칩(chip) 70의 돌기 전극 71측부터 보는 평면도이고,그림 13은 반도체 칩(chip) 70의 단면도이고,그림 14는 배선 기판 80의 반도체 칩(chip) 70 탑재측부터 보는 평면도이고,그림 15는 배선 기판 80의 단면도이다.

【0042】반도체 칩(chip) 70은 그림 7과 그림 8을 이용하고 설명한다.실리콘(silicon) 기판 84상에 전자 회로를 형성하고,그 회로의 외부 단자로서 Si 등으로 전극 86이 형성 되어 있다.전극 86의 위에 배선 기판 80의 전극 87과의 전기적 접속을 행하기 위해(때문에) Sn과 Pb과의 비율이 6:4의 조성의 납땜으로 돌기 전극 71을 형성하고 있다.

【0043】Si의 전극 86상에,납땜의 돌기 전극 71을 형성하기 위해(때문에) 배리어 메탈(barrier metal) 층 85를 증착법이나 스퍼터링(sputtering)법을 이용하고 형성한 후에,그 위에 납땜의 돌기 전극 71을 도금에 따라서 형성한다.배리어 메탈(barrier metal) 층 85는 전극 86과 돌기 전극 71의 각각의 금속의 상호 확산을 방지하기 위해(때문에) 형성하고 있다.

【0044】반도체 칩(chip) 70의 전극 86 이외의 부분은 질화 실리콘(silicon)막등의 무기막이나 전술의 무기막에 또한 그 위에 폴리이미드(polyimide) 등의 유기막에 의한 보호 막 73으로 덮이고,외부란 전기적으로 절연 되어 있다.

【0045】배선 기판 80에 관해서는 그림 9와 그림 10을 이용하고 설명한다.배선 기판 80의 납땜 공(ball) 82 탑재측에는 BT 수지 유리천이나 에폭시(epoxy) 수지 유리천 등의 기재 76상에 탄성률이  $0.5 \sim 5 \text{ kgf/mm}^2$  의 완화층 77을 형성하고,그 위에 배선이나 납땜 공(ball) 82를 탑재하는 패드(pad) 전극 81을 형성하고 있다.

【0046】배선 기판 80의 전극 87은 반도체 칩(chip) 70에 형성하고 있는 돌기 전극 71의 배치에 대응하도록 형성하고 있다.스루홀(through hole) 79내에는 에폭시(epoxy) 수지 83이 메워지고 있고,배선 기판 80의 납땜 공(ball) 82 탑재측부터 반도체 칩(chip) 70 탑재측에의 수분의 침입을 억제할 수 있다.

【0047】전극 87은 반도체 칩(chip) 70의 납땜으로 형성한 돌기 전극 71이 충분히 젖고,게다가 충분한 밀착 강도를 확보하기 위해(때문에),Cu상에 Au/Ni 도금을 행하고 있다.각각의 금속층의 두께는,Ni 층의 두께가 3미크론  $m \sim 5$ 미크론  $m$ ,Au 층의 두께는 0.02미크론  $m \sim 0.05$ 미크론  $m$ 으로 형성하고 있다.

【0048】배선 기판 80의 반도체 칩(chip) 70을 탑재하는 측은,전술의 전극 87 이외의 부분은 솔더(solder)-레지스트(regist) 74로 덮인다 .

【0049】납땜 공(ball) 82 탑재측의 패드(pad) 전극 81은 납땜 공(ball) 82를 탑재하는 때에 납땜 공(ball) 82가 패드(pad) 전극 81에 대하여 납땜이 충분히 젖고,또한 충분한 밀착 강도를 확보하기 위해(때문에),Cu상에 Au/Ni 도금을 행하고 있다.각각의 금속층의 두께는,Ni 층의 두께가 3미크론  $m \sim 5$ 미크론  $m$ ,Au 층의 두께는 0.02미크론  $m \sim 0.05$ 미크론  $m$ 으로 형성하고 있다.

【0050】배선 기판 80의 납땜 공(ball) 82를 탑재하는 측은 전술의 패드(pad) 전극 81 이외 부분은 솔더(solder)-레지스트(regist) 74로 덮인다 .

【0051】반도체장치에 관해서는 전술의 반도체 칩(chip) 70,배선 기판 80을 포함시키고 그림 11을 이용하고 설명한다.반도체 칩(chip) 70상의 각돌기 전극 71과 배선 기판 80상의 전극 87과의 전기적 접속은 돌기 전극 71의 납땜을 용융하고,돌기 전극 71과 전극 87과가 접속한다.전극 87과 패드(pad) 전극 87과는 스루홀(through hole)을 이용하고 전기적으로 접속하고 있다.

【0052】반도체 칩(chip) 70과 배선 기판 80과 동안에는,접속부의 신뢰성 향상 및 반도체 칩(chip) 70 및 배선 기판 80에 형성 되어 있는 회로의 보호를 위해 포장 수지 72로 포장하고 있다.포장 수지 72에는 열경화성의 에폭시(epoxy)계 수지를 사용하고 있다.

【0053】또한,배선 기판 70의 패드(pad) 전극 81에는,납땜 공(ball) 82를 형성하고 있다.이 납땜 공(ball) 82에는,Sn과 Pb과의 비율이 6:4의 조성의 납땜을 이용하고 있다.이 납땜 공(ball) 82를 이용하고 이 반도체장치와 외부의 배선 기판과의 전기적 접속을 행하고 있다.

【0054】[배선 기판의 제조 방법:그림 16~그림 20] 다음에,먼저 설명한 본 발명의 제의 실시 형태에 이용한 배선 기판의 제조 방법에 관해서 설명한다.그림 16~그림 20은 본 발명의 배선 기판의 제조 공정을 나타내는 단면도이고,이하도 16~20의 도면을 이용하고 설명한다.

【0055】그림 16은 배선 기판의 베이스(bass)에 되는 기재 100이다.이 기재 100은 두께가 0.2~0.6mm 정도의 BT 수지 유리천이나 에폭시(epoxy) 수지 유리천 등을 사용한다.기재 100의 양면은,그 기재 100상에 형성하는 완화층 101을 밀착을 잘(자주) 하기 위해(때문에),거의 화처리,촉매 활성화 처리를 행한다.

【0056】양면을 거의 화 처리,촉매 활성화 처리를 행한 기재 100상에 필름상의 두께 30미크론  $m \sim 50$ 미크론  $m$ 의 완화층 101 및 완화층 101과의 밀착을 잘(자주) 하기 위해(때문에) 표면 처리를 가한 두께 18미크론  $m$ 의 Cu 박 102를 배치하고,양측보다(부터) 가압 및 온도를 걸고 적층 성형한다.이것에 따라 기재 100의 양면에 완화층 101을 형성한 그림 17에 나타내는 양면판을 할 수 있다.

【0057】양면판에 복수의 스루홀(through hole) 103을 드릴(drill) 가공 또는 레이저(laser) 가공의 따라서 형성한다.스루홀(through hole) 103내에 Cu 도금을 행하기 위해(때문에) 촉매 활성화 처리를 행하고,Cu 도금을 행한다.이것에 따라도 18에 나타낼 것 같은 스루홀(through hole) 103을 형성할 수 있다.

【0058】잇따르러 그림 19에 나타낼 것 같은 스루홀(through hole) 103내에 에폭시(epoxy) 수지 104 충전한다.이 에폭시(epoxy) 수지 104의 충전 방법은,스크린 인쇄법을 이용하고,기판의 윗면에 액상의 에폭시(epoxy) 수지 104를 공급하고,스퀴즈(squeeze)에 의한 스루홀(through hole) 103내에의 찰포함 행한다.찰포함후 에폭시(epoxy) 수지 104를 열경화하고,경화후 기판 표면을 연마한다.이 방법으로 스루홀(through hole) 103내에 에폭시(epoxy) 수지 104를 완전히 충전할 수 있다.

【0059】잇따르러 배선을 형성하기 위해(때문에),기판 양면에 감광성 수지를 도포하고,소정의 노광 마스크(mask)를 이용하고 노광,현상을 행하고,배선에 필요한 부분만 에칭 레지스트(etching resist) 막을 형성한다.그 뒤 Cu의 에칭(etching)을 행하고 불필요한 Cu 층을 제거하고 그

【0060】 잇따르러 전극 106,패드(pad) 전극 107을 형성하기 위해(때문에),양면에 솔더(solder)-레지스트(regist) 107이 되는 감광성 수지를 도포하고,소정의 마스크(mask)를 이용하고 노광,현상을 행하고,전극 106,패드(pad) 전극 107만이 노출하도록 솔더(solder)-레지스트(regist) 108을 형성한다.그 뒤,납땜의 젖는 성질과 밀착 강도를 확보하기 위해(때문에) 솔더(solder)-레지스트(regist) 108을 마스크(mask)로 하고,전극 106,패드(pad) 전극 107상에 Au/Ni 도금을 행한다.각금속층의 두께는 Ni 층의 두께가 3미크론 m~5미크론 m,Au 층의 두께는 0.02미크론 m~0.05미크론 m으로 형성하고 있다.이것에 따라도 21에 나타낼 것 같은 전극,패드(pad) 전극을 형성할 수 있다.

【0061】 또한,전극 106은,반도체 칩(chip)의 돌기 전극을 전기적으로 접속하기 위해(때문에),전극 106상에 납땜 층 109를 행하고 있다.이 납땜 층 109는 스크린 인쇄법을 이용하고 형성한다.전극 106 부분만 개구하고 있는 소정의 메탈 마스크(metal mask)를 사용하고,그 마스크(mask)상에 솔더(solder)-페이스트(paste) 공급하고,스퀴징()하는 것으로 마스크(mask)의 개구부만 솔더(solder)-페이스트(paste)가 마스크(mask)를 통과하고,전극 106 부분에 솔더(solder)-페이스트(paste) 공급할 수 있다.그 뒤,납땜의 용정보다도 높은 온도에 기판을 통과시키는 것에 따라 납땜 층 109를 형성할 수 있다.납땜 층 109에는,Sn과 Pb과의 비율이 6:4의 조성의 납땜을 이용하고,납땜 층 109의 두께는 20미크론 m~30미크론 m 정도로 형성하고 있다.이것으로 그림 22에 나타나듯이,제2의 실시 형태에 이용한 배선 기판이 완성된다.다른 실시 형태의 배선 기판에 대해서도 전술에 나타내는 제조 방법의 공정 또는 재료를 일부를 삭제하는 것으로 제작할 수 있다.

【0062】

【발명의 효과】 이상 설명했듯이,본 발명은 반도체 칩(chip)을 배선 기판상에 탑재하고,납땜 공(ball)을 이용하고 외부의 배선 기판과 전기적으로 접속을 행하는 반도체장치로,배선 기판내에 반도체 칩(chip) 및 외부의 배선 기판과의 접속에 의하여 발생하는 응력을 완화하는 완화층을 형성하고 있다.이것에 따라서,반도체장치 단체의 신뢰성 및 외부의 배선 기판이 접속한 때의 접속 신뢰성을 향상할 수 있다. 향후 반도체 칩(chip)의 출력단자의 증가에 수반하고,반도체장치의 돌기 단자의 체적이 작아지고 반도체장치의 접속 신뢰성을 손상시키는 일(것)은 없다.

【0063】 또,배선 기판의 제조에 있어서는,기존의 제조 장치를 사용하는 것이 가능하기 때문에,생산상 유리하다.

【도면의 간단한 설명】

【그림 1】 본 발명의 제1의 실시 형태에 있어서 반도체장치를 나타내는 단면도이다.

【그림 2】 본 발명의 제1의 실시 형태에 있어서 반도체 칩(chip)을 나타내는 평면도이다.

【그림 3】 본 발명의 제1의 실시 형태에 있어서 반도체 칩(chip)을 나타내는 단면도이다.

【그림 4】 본 발명의 제1의 실시 형태에 있어서 배선 기판을 나타내는 평면도이다.

【그림 5】 본 발명의 제1의 실시 형태에 있어서 배선 기판을 나타내는 단면도이다.

【그림 6】 본 발명의 제2의 실시 형태에 있어서 반도체장치를 나타내는 단면도이다.

【그림 7】 본 발명의 제2의 실시 형태에 있어서 반도체 칩(chip)을 나타내는 평면도이다.

【그림 8】 본 발명의 제2의 실시 형태에 있어서 반도체 칩(chip)을 나타내는 단면도이다.

【그림 9】 본 발명의 제2의 실시 형태에 있어서 배선 기판을 나타내는 평면도이다.

【그림 10】 본 발명의 제2의 실시 형태에 있어서 배선 기판을 나타내는 단면도이다.

【그림 11】 본 발명의 제3의 실시 형태에 있어서 반도체장치를 나타내는 단면도이다.

【그림 12】 본 발명의 제3의 실시 형태에 있어서 반도체 칩(chip)을 나타내는 평면도이다.

【그림 13】 본 발명의 제3의 실시 형태에 있어서 반도체 칩(chip)을 나타내는 단면도이다.

【그림 14】 본 발명의 제3의 실시 형태에 있어서 배선 기판을 나타내는 평면도이다.

【그림 15】 본 발명의 제3의 실시 형태에 있어서 배선 기판을 나타내는 단면도이다.

【그림 16】 본 발명의 실시 형태에 있어서 배선 기판의 제조 방법에 있어서 기재를 나타내는 단면도이다.

【그림 17】 본 발명의 실시 형태에 있어서 배선 기판의 제조 방법에 있어서 완화층을 형성한 상태를 나타내는 단면도이다.

【그림 18】 본 발명의 실시 형태에 있어서 배선 기판의 제조 방법에 있어서 스루홀(through hole)을 형성한 상태를 나타내는 단면도이다.

【그림 19】 본 발명의 실시 형태에 있어서 배선 기판의 제조 방법에 있어서 스루홀(through hole)내에 에폭시(epoxy) 수지를 충전한 상태를 나타내는 단면도이다.

【그림 20】 본 발명의 실시 형태에 있어서 배선 기판의 제조 방법에 있어서 배선을 형성한 상태를 나타내는 단면도이다.

【그림 21】 본 발명의 실시 형태에 있어서 배선 기판의 제조 방법에 있어서 전극,패드(pad) 전극을 형성한 상태를 나타내는 단면도이다.

【그림 22】 본 발명의 실시 형태에 있어서 배선 기판의 제조 방법에 있어서 납땜 층을 형성한 상태를 나타내는 단면도이다.

【그림 23】 종래 기술에 있어서 반도체장치를 나타내는 단면도이다.

【그림 24】 종래 기술에 있어서 반도체장치를 나타내는 단면도이다.

【부호의 설명】

1 반도체 칩(chip)

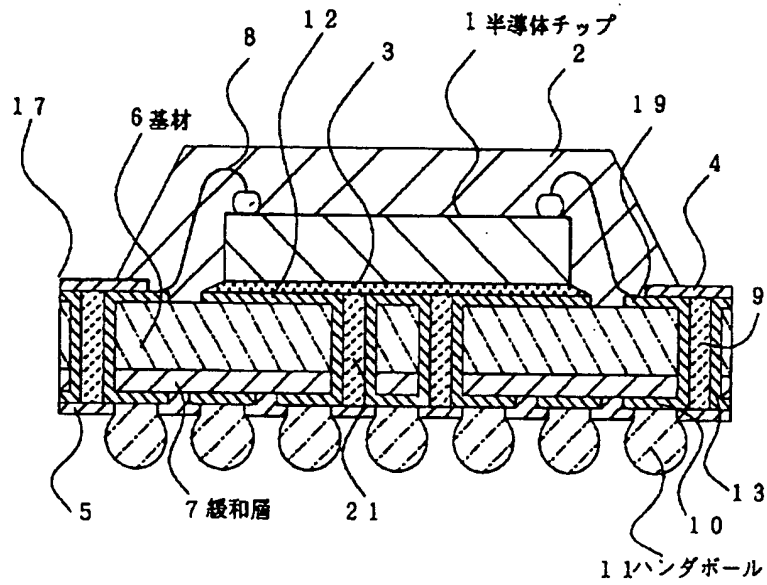
2 크장 수지



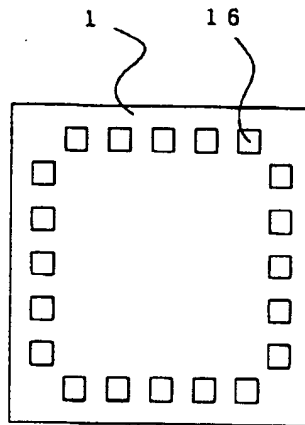
① 패드(pad) 전극

- 1 납땜 공(ball)  
6 전극  
7 배선 기판  
9 전극  
13 돌기 전극  
18 납땜 총

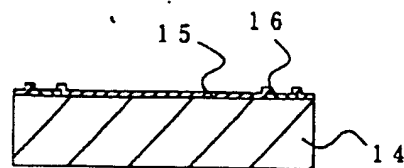
【그림 1】



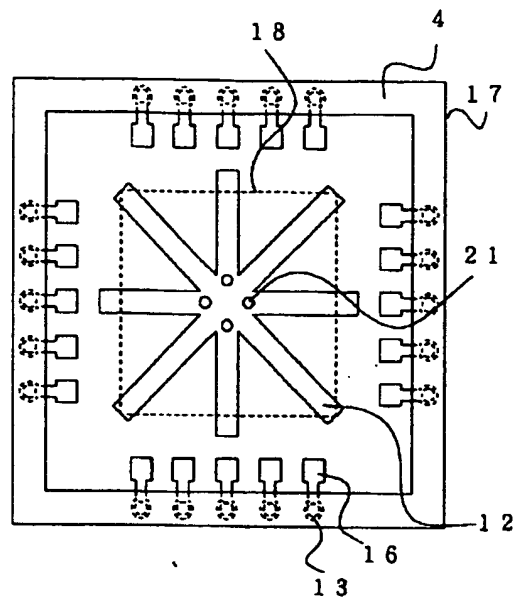
【그림 2】



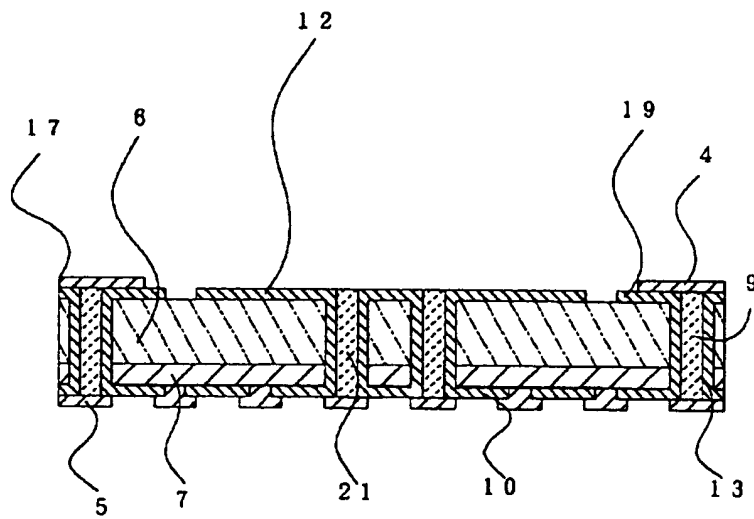
【그림 3】



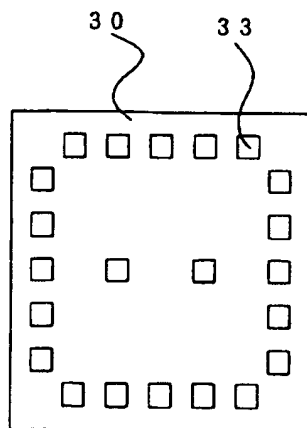
【그림 4】



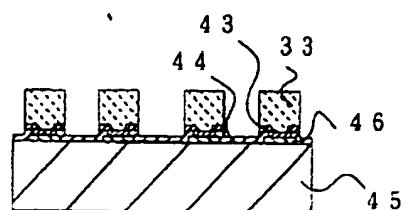
【그림 5】

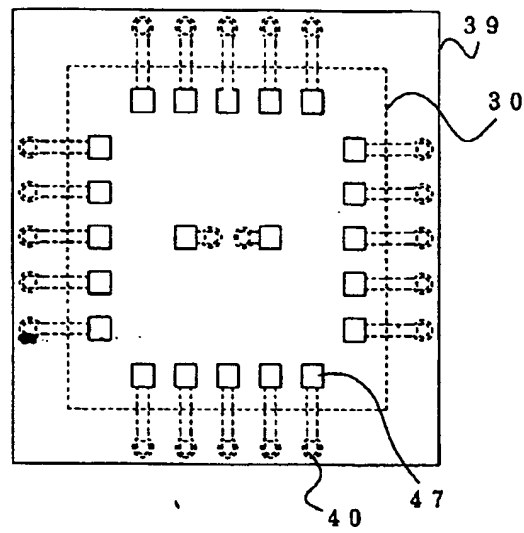


【그림 7】

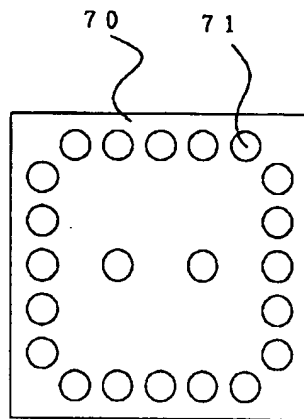


【그림 8】

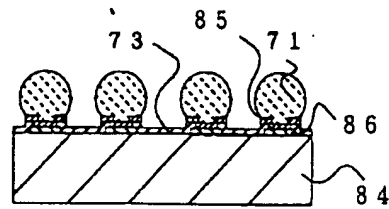




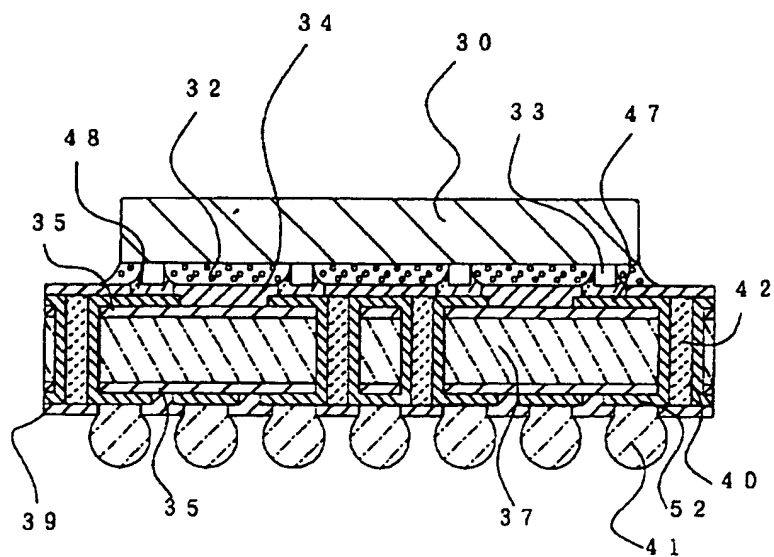
【그림 12】



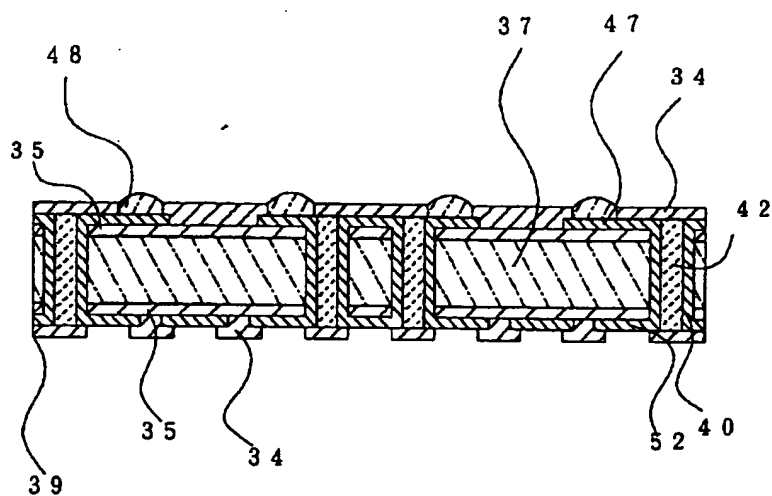
【그림 13】



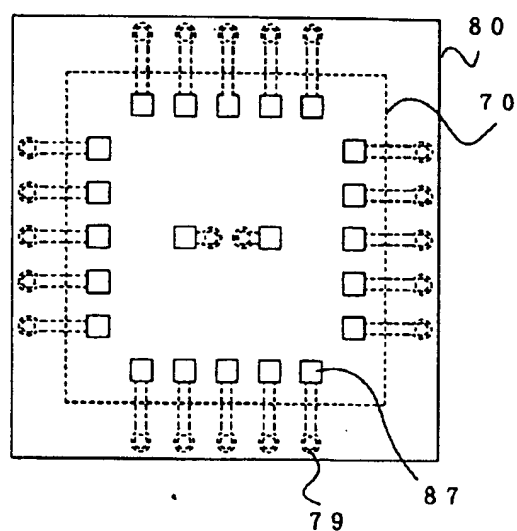
【그림 6】



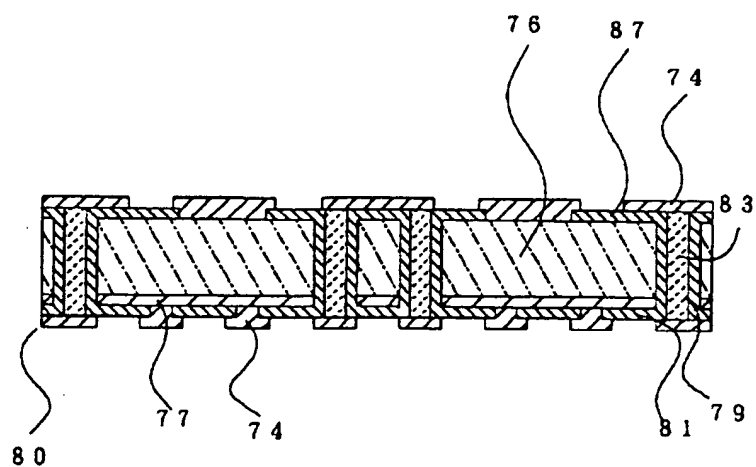
【그림 10】



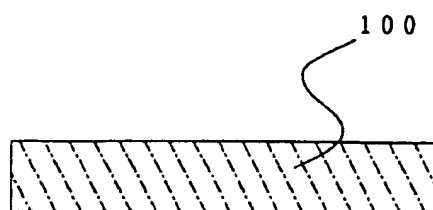
【그림 14】



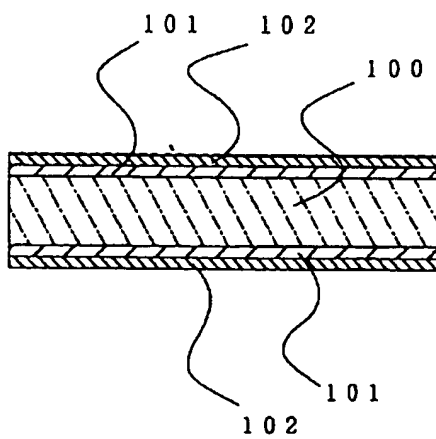
【그림 15】



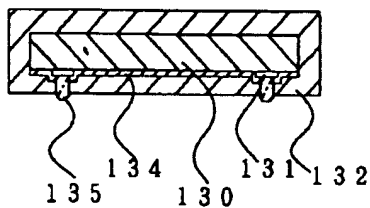
【그림 16】



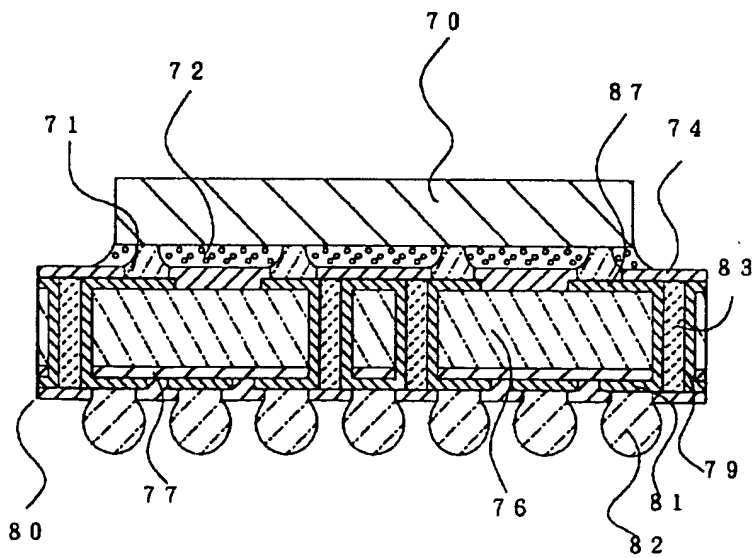
【그림 17】



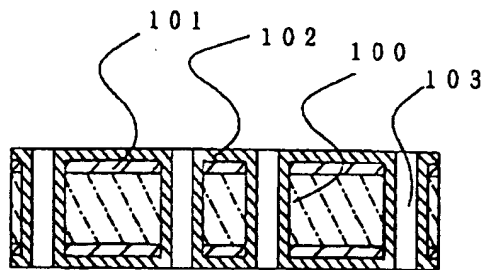
【그림 24】



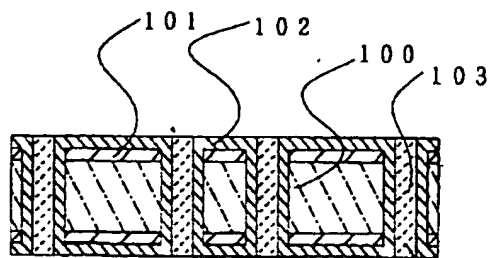
【그림 11】



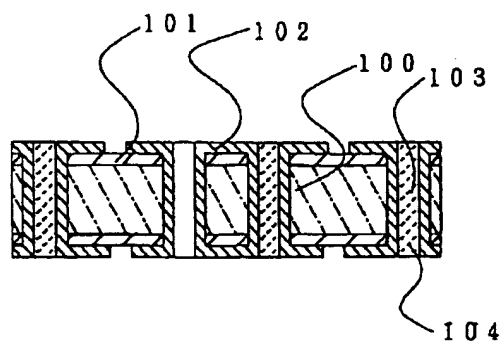
【그림 18】



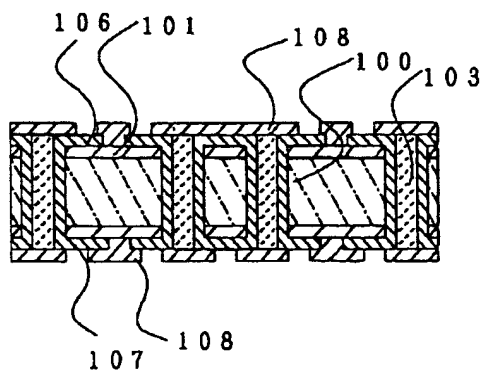
【그림 19】



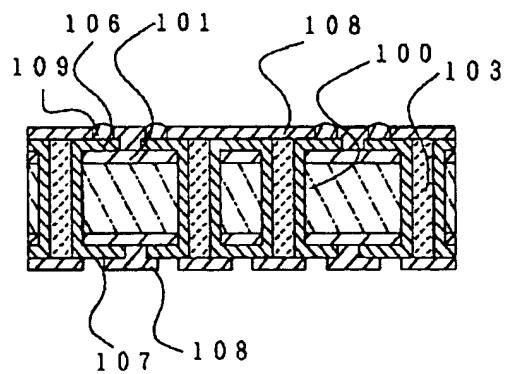
【그림 20】



【그림 21】



【그림 22】



【그림 23】

